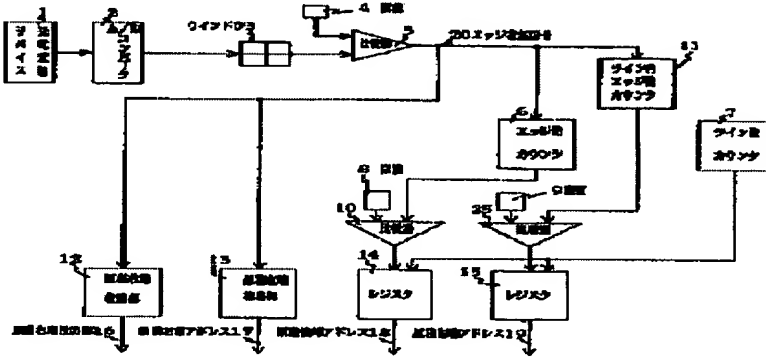


Record 1 of 1

Search scope: US Granted US Applications EP-A EP-B WO JP ; Full patent spec.

Years: 1971-2003

Patent/Publication No.: JP7245681



JP07245681 A

FALT BED SCANNER WITH ORIGINAL SIZE DETECTION FUNCTION

NEC CORP

Inventor(s):OGAWA SHIGETAKA

Application No. 06034566 JP06034566 JP, Filed 19940304,A1 Published 19950919

Abstract: PURPOSE: To surely detect an original size without mis- detection due to dust or the like by using a CCD especially with respect to the detection of the original size set to the flat bed scanner.

CONSTITUTION: An edge is set to an end of paper based on a shadow of an original or a density difference with respect to the original and a rear side sheet retaining the original on the flat bed scanner. The size is detected by monitoring the edge at preliminary scanning. A line at which number of accumulated edges by a counter 6 exceeds a prescribed threshold number 8 from the start of preliminary scanning is used for a tail end, a reference level is shifted to the right when the edge is in existence to the right from the reference level to detect the right edge and the final line having number of edges more than a prescribed number is used for the tail end.

Int'l Class: H04N00104; G03B02750

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.

(11)特許出願公開番号

(43)公開日 平成7年(1995)9月19日

A

(74)代理人 弁理士 熊谷 雄太郎

【特許請求の範囲】

【請求項1】 ステージガラス上を所定のプリスキャン開始位置から順次原稿後端方向に線スキャンした光学信号をアナログ電気信号にのった画情報に変換する光電変換デバイスと、

前記プリスキャン開始位置を初期値として線スキャンしたライン数を積算するライン数カウント手段と、

前記光電変換デバイスが出力するアナログ電気信号にのった画情報をディジタル多値信号にのった画情報に変換するA/Dコンバータと、

注目画素周辺にウィンドウをはり前記ディジタル多値信号間の微分情報のうち所定の閾値を越えた場合をエッジとしエッジを計測するエッジ検出手段と、

前記エッジ数を積算し所定閾値を越えた時の前記ライン数カウント手段の示すライン数より原稿後端を検出する原稿後端検出手段と、

前記エッジのうち最も原稿左端方向にあるエッジの主走査方向位置とあらかじめ設定しておいた原稿左端アドレスを比較し原稿左端アドレス値より原稿左端方向にある場合原稿左端アドレス値を所定の数だけ原稿左端方向にずらし次のラインの原稿左端アドレス値とする原稿左端検出手段と、

同様に前記エッジのうち最も原稿右端方向にあるエッジの主走査方向位置とあらかじめ設定しておいた原稿右端アドレス値を比較し原稿右端アドレス値より原稿右端方向にある場合原稿右端アドレス値を所定の数だけ原稿右端方向にずらし次のラインの原稿右端アドレス値とする原稿右端検出手段と、

前記エッジの数が所定の数以上同一ライン内にあった時の前記ライン数カウント手段の示す値を次に再びエッジの数が所定の数以上同一ライン内にあった時が発生するまで記憶しておく原稿先端検出手段と、

を有することを特徴とした原稿サイズ検出機能付きフラットベツトスキャナ。

【請求項2】 前記ライン数カウント手段はライン数カウンタを有することを更に特徴とする請求項1に記載の原稿サイズ検出機能付きフラットベツトスキャナ。

【請求項3】 前記エッジ検出手段は、前記A/Dコンバータから出力されるディジタル多値信号ではられその中で最大値と最小値の差を計算して出力するウィンドウと、該ウィンドウから出力される差信号と予め設定された第1の閾値とを比較し前記差信号が前記第1の閾値より大きい場合にエッジがあると判定してエッジ有無信号を出力する第1の比較器とを有することを更に特徴とする請求項1または2のいずれか一項に記載の原稿サイズ検出機能付きフラットベツトスキャナ。

【請求項4】 前記原稿後端検出手段は、前記エッジ検出手段から出力されるエッジ数を計数するエッジ数カウンタと、該エッジ数カウンタの出力と予め設定された第2の閾値とを比較する第2の比較器と、該第2の比較器

による比較の結果前記第2の閾値よりも前記エッジ数カウンタの出力が大きくなった時の前記ライン数カウント手段の出力で表される副走査方向アドレスを記憶する第1のレジスタとを有することを更に特徴とする請求項1、2または3のいずれか一項に記載の原稿サイズ検出機能付きフラットベツトスキャナ。

【請求項5】 前記原稿左端検出手段は、ラインリセットがかかる主走査カウンタと、該主走査カウンタが出力する主走査方向アドレスと前記エッジ検出手段が出力するエッジ有無信号の論理積をとる論理積回路と、予め設定された第1の基準値を発生する第1の基準値発生回路と、前記論理積回路の出力と予め設定された前記第1の基準値とを比較し前記論理積出力が前記第1の基準値よりも大きいときに出力をたてラインリセットが入るまで出力をたてた状態に保持すると共に前記第1の基準値を1レベル左端側にシフトして次のラインの第1の基準値とするようにその出力を前記第1の基準値発生回路に供給する比較器とを有することを更に特徴とする請求項1～4のいずれか一項に記載の原稿サイズ検出機能付きフラットベツトスキャナ。

【請求項6】 前記第1の基準値発生回路を、前記第1の基準値を格納するレジスタと、該レジスタから1レベルずつ減算する減算器とにより構成したことを更に特徴とする請求項5に記載の原稿サイズ検出機能付きフラットベツトスキャナ。

【請求項7】 前記第1の基準値発生回路を、カウンタにより構成したことを更に特徴とする請求項5に記載の原稿サイズ検出機能付きフラットベツトスキャナ。

【請求項8】 前記原稿右端検出手段は、ラインリセットがかかる主走査カウンタと、該主走査カウンタが出力する主走査方向アドレスと前記エッジ検出手段が出力するエッジ有無信号の論理積をとる論理積回路と、予め設定された第2の基準値を発生する第2の基準値発生回路と、前記論理積回路の出力と予め設定された前記第2の基準値とを比較し前記論理積出力が前記第2の基準値よりも大きいときに出力をたてラインリセットが入るまで出力をたてた状態に保持すると共に前記第2の基準値を1レベル右端側にシフトして次のラインの第2の基準値とするようにその出力を前記第2の基準値発生回路に供給することを更に特徴とする請求項1～4のいずれか一項に記載の原稿サイズ検出機能付きフラットベツトスキャナ。

【請求項9】 前記第2の基準値発生回路を、前記第2の基準値を格納するレジスタと、該レジスタに1レベルずつ加算する加算器とにより構成したことを更に特徴とする請求項8に記載の原稿サイズ検出機能付きフラットベツトスキャナ。

【請求項10】 前記前記第2の基準値発生回路を、カウンタにより構成したことを更に特徴とする請求項8に記載の原稿サイズ検出機能付きフラットベツトスキャ

ナ。

【請求項11】 前記原稿先端検出手段は、1ライン内のエッジ数を毎ラインカウントするライン内エッジ数カウンタと、1ライン内の前記エッジ数と予め設定された第3の閾値とを比較する第3の比較器と、該第3の比較器による比較の結果1ライン内の前記エッジ数が前記第3の閾値よりも大きい場合に前記ライン数カウント手段から出力される副走査方向アドレスを記憶する第2のレジスタとにより構成されることを更に特徴とする請求項1または2のいずれか一項に記載の原稿サイズ検出機能付きフラットベツトスキャナ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、原稿サイズ検出機能つきフラットベツトスキャナに関し、特に、フラットベツトスキャナをもつコピー装置あるいはファクシミリ装置の原稿サイズ検出機能に関する。

【0002】

【従来の技術】フラットベツトスキャナを搭載しているファクシミリ装置あるいはコピー装置において、そのフラットベツトスキャナにセットされた原稿のサイズを検出することは重要な技術である。

【0003】従来より上述したフラットベツトスキャナのサイズ検出機能を実現する方式はさまざま提案され、かつ実用化されてきた。

【0004】しかるに、その多くは反射型のフォトセンサをサイズ検出用に有しているものであった。

【0005】また、原稿読取用の光電変換デバイスをサイズ検出用に使用したものも提案されているが、そのどれもフラットベツトスキャナ上のごみによるノイズに弱く誤検出が多発するものであった。

【0006】

【発明が解決しようとする課題】しかしながら、従来の反射型フォトセンサを使用したサイズ検出機能ではコストが高いという欠点を有し、また、叙上の光電変換デバイスを使用したサイズ検出機能ではサイズ誤検出が多発するという欠点を有していた。

【0007】本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記諸課題を解決し、光電変換デバイス(CCD)を使用して低廉にして誤検出が少なく的確なサイズ検出の実現を可能として新規なフラットベツトスキャナを提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成す為に、本発明に係る原稿サイズ検出機能付きフラットベツトスキャナは、ステージガラス上を所定のプリスキャン開始位置から順次原稿後端方向に線スキャンした光学信号をアナログ電気信号にのった画情報に変換する光電変換デバイスと、前記プリスキャン開始位置を初期値として線

スキャンしたライン数を積算するライン数カウント部と、前記光電変換デバイスが出力するアナログ電気信号にのった画情報をディジタル多値信号にのった画情報に変換するA/Dコンバータと、注目画素周辺にウィンドウをはり前記ディジタル多値信号間の微分情報のうち所定の閾値を越えた場合をエッジとしエッジを計数するエッジ検出部と、前記エッジ数を積算し所定閾値を越えた時の前記ライン数カウント部の示すライン数より原稿後端を検出する原稿後端検出部と、前記エッジのうち最も原稿左端方向にあるエッジの主走査方向位置とあらかじめ設定しておいた原稿左端アドレス値を比較し原稿左端アドレス値より原稿左端方向にある場合原稿左端アドレス値を所定の数だけ原稿左端方向にずらし次のラインの原稿左端アドレス値とする原稿左端検出部と、同様に前記エッジのうち最も原稿右端方向にあるエッジの主走査方向位置とあらかじめ設定しておいた原稿右端アドレス値を比較し原稿右端アドレス値より原稿右端方向にある場合原稿右端アドレス値を所定の数だけ原稿右端方向にずらし次のラインの原稿右端アドレス値とする原稿右端検出部と、前記エッジの数が所定の数以上同一ライン内にあった時のライン数カウント部の示す値を次に再びエッジの数が所定の数以上同一ライン内にあった時が発生するまで記憶しておく原稿先端検出部と、を備えて構成され、しかして、コストがかからなく、しかも誤検出の少ないサイズ検出機能を実現している。

【0009】

【作用】本発明は、背面シートと、フラットベツトスキャナ上におかれた原稿の濃度差を利用してサイズを検出する。まずCCDを駆動しプリスキャンスタート位置からプリスキャン方向にスキャンしていく。A/Dコンバータにて量子化された画情報より所定のウィンドウ内の濃度差をエッジ検出部にて検出する。

【0010】第1の動作は後端検出部にてエッジ検出部が出力するエッジ情報(エッジの有無を表す1ビット情報)をカウントする。エッジの数が所定の閾値を越えた時の位置を原稿後端位置として後端アドレス情報を出力する。

【0011】第2の動作は後端検出部が後端を検出した後に動作を開始する。原稿の右端を検出するためある設定値より右端側にエッジを有する場合にはその設定値を1レベル右端側にインクリメントする。この動作を毎ライン繰り返すことにより原稿先端にプリスキャンが到達する前に設定値は原稿右端アドレスに収束することになる。これが右端検出部の動作で、右端検出部は右端アドレス情報を出力する。

【0012】

【実施例】次に、本発明をその好ましい一実施例について図面を参照して具体的に説明する。

【0013】本発明の具体的実施例を説明する前に、本発明の原理について図1、図2を参照しながら説明す

る。

【0014】

【発明の原理】本発明は、背面シートとフラットベツトスキャナ31上におかれた原稿32の濃度差を利用してサイズを検出するものである。まず光電変換デバイス(CCD)1を駆動しブリスキャンスタート位置33からブリスキャン方向にスキャンしていく。A/Dコンバータ2にて量子化された画情報より所定のウィンドウ内の濃度差をエッジ検出部(ウィンドウ3、閾値4、比較器5)にて検出する。

【0015】第1の動作は、後端検出部にてエッジ数カウンタ6が出力するエッジ情報(エッジの有無を表す1ビット情報)をカウントする。エッジ数が所定の閾値を越えた時の位置を原稿後端位置34とし後端アドレス情報18を出力する。

【0016】第2の動作は、後端検出部が後端を検出した後に動作を開始する。原稿の右端を検出する為に、ある設定値より右端側にエッジがある場合にはその設定値を1レベル右端側にインクリメントする。この動作を毎ライン繰返すことにより原稿先端35にブリスキャンが到達する前に設定値は原稿右端アドレスに収束することになる。これが右端検出部12の動作であり、右端検出部12は右端アドレス情報16を出力する。後端検出位置34から上記設定値の動きは図2の36のようになる。

【0017】図1は本発明の一実施例を示すブロック構成図である。

【0018】再び図1を参照して本発明の具体的実施例を説明するに、光電変換デバイス1にてスキャンした画情報をA/Dコンバータ2にてデジタル多値信号に変換する。

【0019】このデジタル多値信号で2×2のウィンドウ3を張り、このウィンドウ3の中で最大値と最小値の差を計算し、その差信号と予め設定された閾値4とを比較器5で比較し、その差が閾値4より大きい場合にエッジがあると判定し、エッジ有無信号20を出力する。

【0020】ここで、エッジ検出部の中心的要素となるウィンドウ3について具体的に説明する。

【0021】図3はウィンドウ3の画素配列を示し、図3においてXは注目画素、Aは前ラインで注目画素Xと同じ主走査方向にある画素、Bは前ラインで注目画素Xの主走査方向アドレスより1画素右隣に位置する画素、Cは注目画素Xの右隣りに配置された画素をそれぞれ示している。

【0022】図4はウィンドウ3に内蔵された、最大値と最小値の差を計算する回路構成例を示すブロック図である。

【0023】図4を参照するに、参照符号37、38、41は比較器、39、40、42はセクタをそれぞれ示している。画素A、Bは比較器37とセクタ39に

それぞれ入力され、比較器37の出力はセクタ39に、比較器38の出力はセクタ40にそれぞれ入力される。セクタ39、40の出力はそれぞれ比較器41に入力され、比較器41の出力は最大値DPXmaxを出力するセクタ42に入力されている。

【0024】上記4つの画素の中で最大の値を示すものをDPXmax、最小の値を示すものをDPXminとする。

【0025】エッジは、

10 【数1】エッジ=DPXmax-DPXminと定義される。

【0026】図4に示された回路で最大値DPXmaxが求められるが、同じ回路で論理を逆にするにより最小値DPXminを求め、次いで減算器を用いて上記式【数1】によってエッジを求めることができる。

【0027】まず原稿後端検出のアルゴリズムを説明する。

【0028】ライン数カウンタ7にて副走査方向のアドレスを計算しながら、同時にエッジ数カウンタ6にてエッジ数をカウントする。

【0029】エッジ数カウンタ6の出力と予め設定された閾値8を比較器10により比較し、エッジ数カウンタ6の出力のほうが大きくなったときのライン数カウンタ7の出力で表される副走査方向アドレスをレジスタ14に記憶し、メイン側に原稿後端アドレス18として通知する。

【0030】次に原稿右端検出のアルゴリズムを図1、図5を参照しながら説明する。

【0031】図5は図1の原稿右端検出部12の内部を詳細に説明したブロック構成図である。

【0032】図5を参照するに、後端検出後、ラインリセットがかかる主走査カウンタ21が出力する主走査方向アドレス24とエッジ有無信号20の論理積を論理積回路26によってとり、右端エッジ用ラッチ27にラッチする。ラッチ27から出力される論理積と予め設定された基準値発生回路22の基準値16とを比較器23にて比較し、基準値16のほうが論理積よりも小さい場合に出力をたてる。この比較器23は一担基準値発生回路22の基準値16のほうが小さいと判定し出力をたてた場合には、ラインリセットが入るまで出力をたてた状態を保持するものとする。基準値発生回路22はレジスタと加算器により構成されるか、あるいはカウンタ(アップカウンタ)により構成される。

【0033】1ライン終了後比較器23の出力がたつてる場合には、基準値発生回路22の基準値16の値を1レベル右端側にシフトし、次のラインの基準値16とする。

【0034】このフローを全ライン終了まで継続し、全ライン終了後の基準値16を原稿右端アドレスとしてメインに通知する。

7

【0035】次に原稿左端検出のアルゴリズムを説明する。

【0036】左端検出は、上述の右端検出と同様に行われるが、基準値のシフトさせる方向を逆に左端側とし、比較器23の論理を反転して行われる。原稿左端検出部13の回路構成は原稿右端検出部12とほぼ同じであるが、基準値発生回路22は、レジスタと減算器により、あるいはカウンタ（ダウンカウンタ）により構成される。

【0037】最後に原稿後端検出のアルゴリズムを説明する。 10

【0038】1ライン内のエッジ数をライン内エッジ数カウンタ11にて毎ラインカウントする。1ライン内のエッジ数が予め設定した閾値9より大きい場合の副走査方向アドレスをレジスタ15に記憶する。

【0039】このフローを毎ライン繰り返しエッジ数が閾値19より多いラインが発生するたびにレジスタ15の副走査方向アドレスを上書きしていき、全ライン終了後のレジスタ15の値を原稿先端アドレスとしてメインに通知する。 20

【0040】以上4つのフローにて原稿サイズの検出を行う。

【0041】図6は原稿後端検出のフローを、図7は原稿右端検出のフローを、また図8は原稿先端検出のフローをそれぞれ示すフローチャートである。

【0042】

【発明の効果】以上説明したように、本発明によれば、エッジ数をカウントして後端を検出し、1レベルずつ右側及び左側に漸近させていく方式であるので、背面シートの汚れ、またはごみ等に対して誤判定の可能性が低く、しかも特別なセンサを要しないで廉価に設計できる効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック構成図である。

【図2】本発明の原理を示す概略図である。

【図3】図1に示したウィンドウ画素配列を示す図である。

【図4】ウィンドウに内蔵された最大値と最小値を求める回路ブロック図である。 40

【図5】図1に示した原稿右端検出部の内部を詳細に示したブロック構成図である。

【図6】原稿後端検出の動作フローを示すフローチャートである。

8

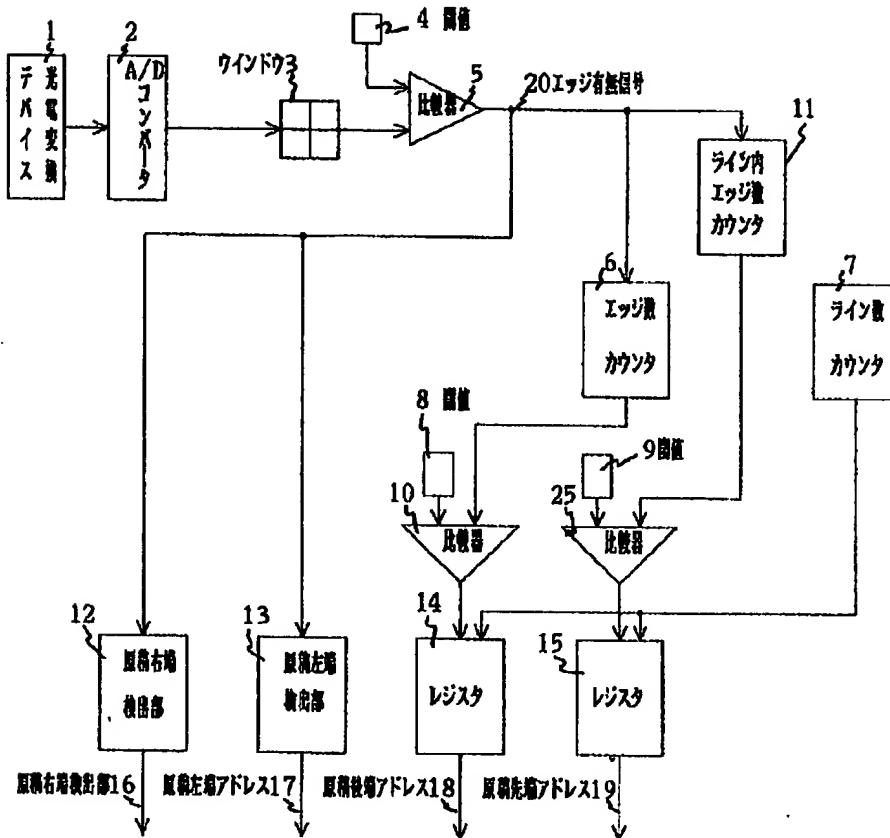
【図7】原稿右端検出の動作フローを示すフローチャートである。

【図8】原稿先端検出の動作フローを示すフローチャートである。

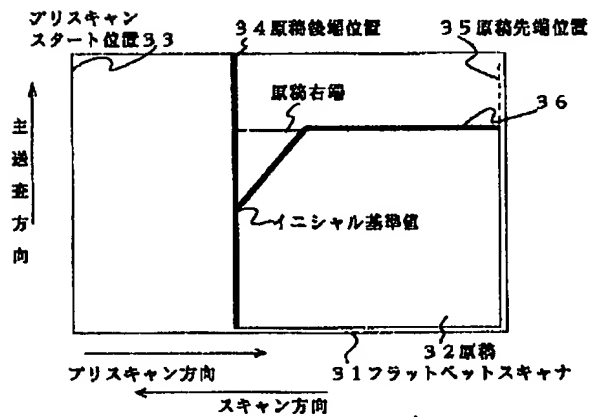
【符号の説明】

- 1…光電変換デバイス
- 2…A/Dコンバータ
- 3…ウィンドウ
- 4…閾値
- 5…比較器
- 6…エッジ数カウンタ
- 7…ライン数カウンタ
- 8…閾値
- 9…閾値
- 10…比較器
- 11…ライン内エッジ数カウンタ
- 12…原稿右端検出部
- 13…原稿左端検出部
- 14…レジスタ
- 15…レジスタ
- 16…原稿右端アドレス
- 17…原稿左端アドレス
- 18…原稿後端アドレス
- 19…原稿先端アドレス
- 20…エッジ有無信号
- 21…主走査カウンタ
- 22…基準値発生回路
- 23…比較器
- 24…主走査方向アドレス
- 25…比較器
- 27…ラッチ回路
- 31…フラットベットスキャナ
- 32…原稿
- 33…プリスキャンスタート位置
- 34…原稿後端位置
- 35…原稿先端位置
- 36…設定値の動き
- 37…比較器
- 28…比較器
- 39…セレクト
- 40…セレクト
- 41…比較器
- 42…セレクト

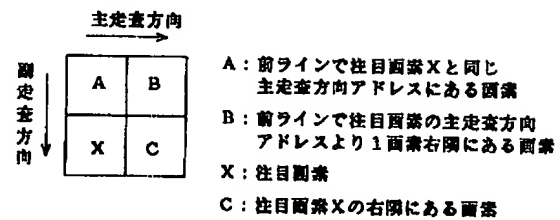
【図1】



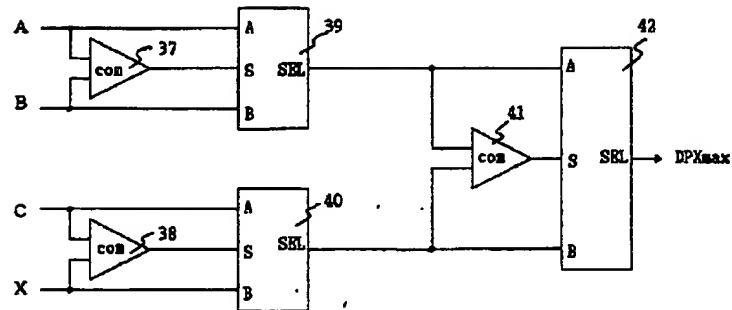
【図2】



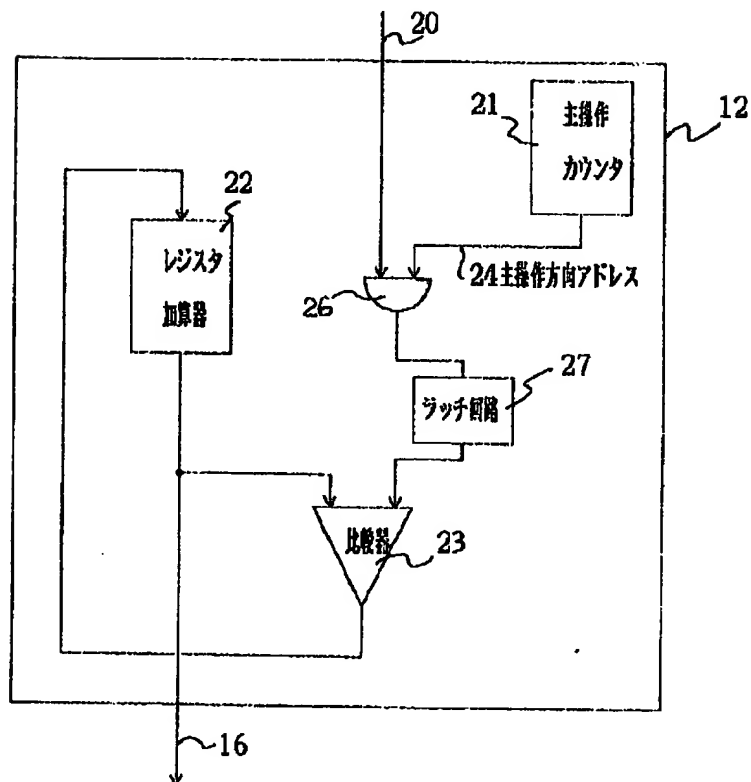
【図3】



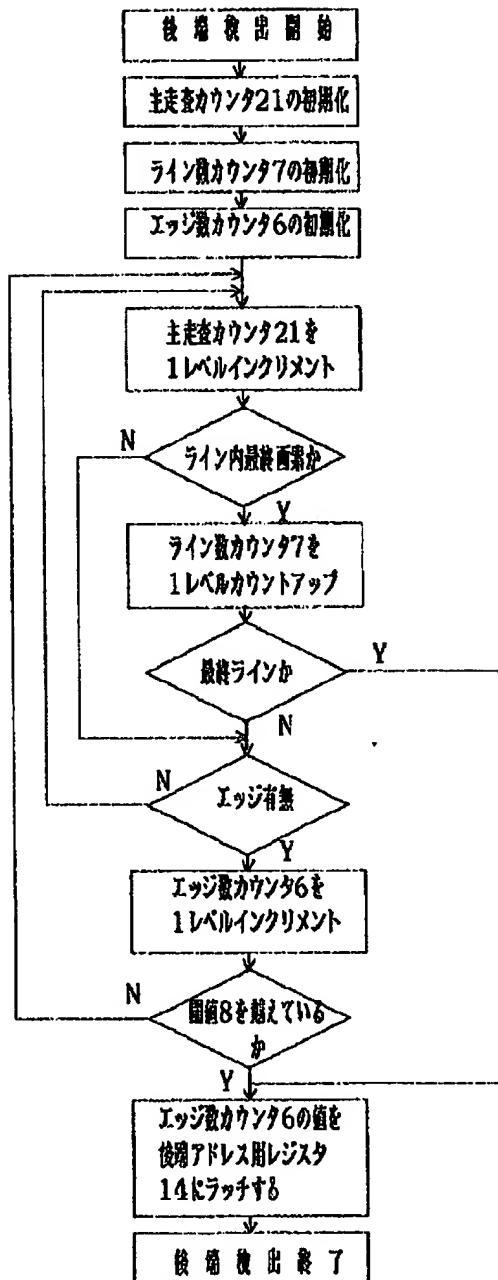
【図4】



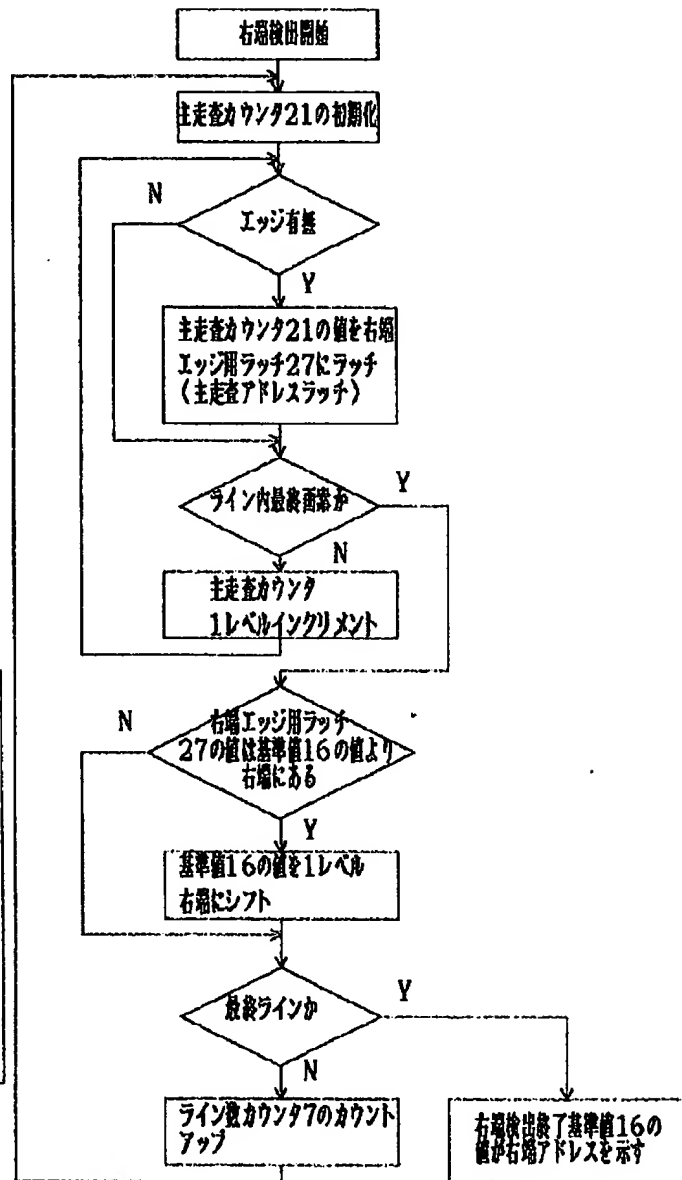
【図5】



【図6】



【図7】



【図8】

